

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-004630

(43)Date of publication of application : 08.01.2004

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
G09G 5/00

(21)Application number : 2003-076657

(71)Applicant : SHARP CORP

(22)Date of filing : 19.03.2003

(72)Inventor : YAMATO ASAHI

YANAGI TOSHIHIRO

(30)Priority

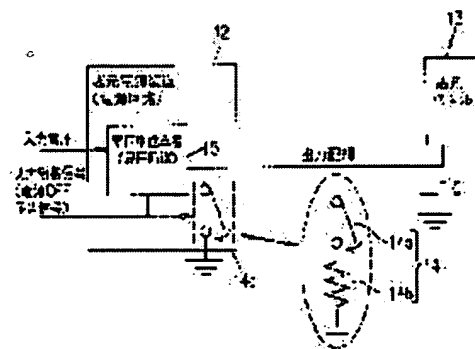
Priority number : 2002100662 Priority date : 02.04.2002 Priority country : JP

(54) POWER SOURCE DEVICE FOR DISPLAY AND PICTURE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent afterimage after power off and latch-up and to reduce the power consumption for driving.

SOLUTION: A power source device for display is provided with a boosting circuit being a voltage generation means for generating a prescribed output voltage on the basis of an input voltage and a FET-SW 14a being an active element having a switching function, and the FET-SW 14a being an active element is connected between an output terminal of a power source circuit 12 and GND (earth), and the FET-SW 14a being an active element and the boosting circuit 15 are controlled on the basis of a power off notice signal being an input control signal so that the FET-SW 14a being an active element is turned on and output of the boosting circuit 15 is stopped.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2004-4630

(P2004-4630A)

(43) 公開日 平成16年1月8日 (2004. 1. 8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 0 9 G 3/36	G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	G 0 2 F 1/133 5 2 0	5 C 0 0 6
G 0 9 G 3/20	G 0 9 G 3/20 6 1 1 A	5 C 0 8 0
G 0 9 G 5/00	G 0 9 G 3/20 6 1 2 G	5 C 0 8 2
	G 0 9 G 3/20 6 4 2 A	
審査請求 未請求 請求項の数 1 5 O L		(全 1 9 頁) 最終頁に続く

(21) 出願番号 特願2003-76657 (P2003-76657)
(22) 出願日 平成15年3月19日 (2003. 3. 19)
(31) 優先権主張番号 特願2002-100662 (P2002-100662)
(32) 優先日 平成14年4月2日 (2002. 4. 2)
(33) 優先権主張国 日本国 (J P)

(71) 出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(74) 代理人 100078282
弁理士 山本 秀策
(74) 代理人 100062409
弁理士 安村 高明
(74) 代理人 100107489
弁理士 大塩 竹志
(72) 発明者 大和 朝日
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72) 発明者 柳 俊洋
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

最終頁に続く

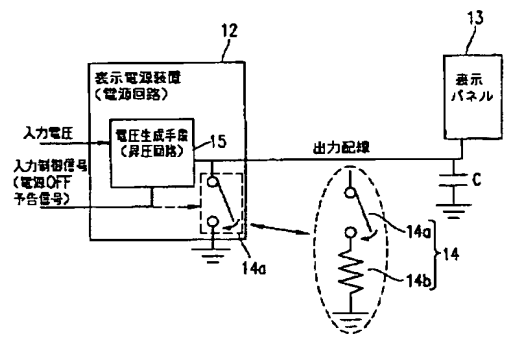
(54) 【発明の名称】 表示用電源装置および画像表示装置

(57) 【要約】

【課題】 電源オフ後の残像およびラッチアップの防止を図るとともに、駆動時の低消費電力化が実現できる。

【解決手段】 入力電圧に基づいて所定の出力電圧を生成する電圧生成手段である昇圧回路 1 5 と、スイッチング機能を有する能動素子である F E T - S W 1 4 a とを具備しており、能動素子である F E T - S W 1 4 a が電源回路 1 2 の出力端子と G N D (アース) との間に接続され、能動素子である F E T - S W 1 4 a および昇圧回路 1 5 が入力制御信号である電源オフ予告信号に基づいて、能動素子である F E T - S W 1 4 a がオン制御されるとともに、昇圧回路 1 5 による出力を停止するように制御を行う。

【選択図】 図 3



【特許請求の範囲】**【請求項 1】**

一または複数の所定の出力電圧を出力または出力停止制御可能とする電圧生成手段と、該所定の出力電圧の出力端と所定の基準電位端間に設けられ、該電圧生成手段の停止制御時にオフからオンに制御するスイッチ手段とを有する表示用電源装置。

【請求項 2】

入力制御信号に基づいて、前記電圧生成手段の出力または出力停止制御が為され、前記スイッチ手段のオンオフ制御が為される請求項 1 記載の表示用電源装置。

【請求項 3】

前記スイッチ手段と基準電位端または／および前記出力端との間に抵抗素子が設けられている請求項 1 または 2 記載の表示用電源装置。

【請求項 4】

請求項 1 ～ 3 の何れかに記載の表示用電源装置と、表示信号を出力する表示コントローラと、該表示信号および前記出力電圧によって画像表示を行う表示部とを有する画像表示装置。

【請求項 5】

前記表示部は、複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置されて構成された請求 4 記載の画像表示装置。

【請求項 6】

前記表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して 0 (V) または所定の電圧値である絵素印加電圧を 1 水平期間以上印加してマスク書き込みを行った後に前記入力制御信号を前記表示用電源装置に出力して該表示用電源装置からの電源供給を停止させる前記請求項 4 または 5 記載の画像表示装置。

【請求項 7】

表示信号を出力する表示コントローラと、該表示信号によって画像表示を行う複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置された表示部とを有し、該表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して 0 (V) または所定の電圧値である絵素印加電圧を 1 水平期間以上印加してマスク書き込みを行った後に該表示部に対して電源供給を停止制御する画像表示装置。

【請求項 8】

前記マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧は、ノーマリー状態の電圧である請求項 6 または 7 記載の画像表示装置。

【請求項 9】

前記マスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする請求項 6 ～ 8 の何れかに記載の画像表示装置。

【請求項 10】

前記マスク書き込み後で前記電源供給の停止前に、前記ソース電極およびコモン電極がアース電位に接地されると共に、前記ゲートライン上の一部または全てのゲート電極にハイレベル電圧が一定期間印加される請求項 6 ～ 9 の何れかに記載の画像表示装置。

【請求項 11】

前記所定の出力電圧は、ゲートロー電圧と、ゲートハイ電圧と、ソース／コモン基準電圧と、該ゲートロー電圧およびゲートハイ電圧と、該ソース／コモン基準電圧およびゲートロー電圧およびゲートハイ電圧のうち何れかである請求項 5 または 7 記載の画像表示装置。

【請求項 12】

前記所定の基準電位端はアース接続端であり、前記所定の出力電圧が、アース電圧よりも

10

20

30

40

50

低いゲートロー電圧および、アース電圧よりも高いゲートハイ電圧を含む場合に、該ゲートロー電圧の出力端に接続された第1スイッチ手段と、該ゲートハイ電圧の出力端に接続された第2スイッチ手段とは、該第1および第2スイッチ手段のオン時に、該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される請求項5記載の画像表示装置。

【請求項13】

前記第1および第2スイッチ手段は能動素子であり、該能動素子の素子特性により該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される請求項12記載の画像表示装置。

【請求項14】

前記第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に抵抗素子が設けられている請求項12記載の画像表示装置。

【請求項15】

前記第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に設けられた第1抵抗素子と、
前記第2スイッチ手段と前記アース接続端または／および前記ゲートハイ電圧の出力端との間に設けられた第2抵抗素子とをさらに有し、
第1抵抗素子の抵抗値が第2抵抗素子の抵抗値よりも大きい請求項12記載の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、所定の電圧を生成して各部に供給する表示用電源装置およびそれを用いた液晶表示装置などの画像表示装置に関する。

【0002】

【従来の技術】

従来、液晶表示装置には表示パネルが設けられ、表示パネル内には表示部が設けられており、表示部はマトリクス状に配置された複数の絵素部を有している。各絵素部には、TFT (Thin Film Transistor: 薄膜トランジスタ) が設けられており、それぞれの絵素部の絵素電極とコモン電極 (対向電極) との間に、表示信号が印加されて画像表示が行われる。通常、TFTは、ソース電極、ドレイン電極およびゲート電極を有するMOSFETによって形成されており、TFTのドレイン電極が絵素部の絵素電極に接続されている。また、TFTのソース電極は、表示信号が出力されるソースバスライン (ソースライン) に接続され、TFTのゲート電極は、TFT駆動電圧が出力されるゲートバスライン (ゲートライン) に接続されている。

【0003】

図8は、従来の液晶表示装置の要部構成を示すブロック図である。

【0004】

図8に示すように、液晶表示装置100は、表示コントローラとしてのディスプレイコントローラ110と、表示用電源装置としての電源回路120と、表示部130aを持つ表示パネル130とを有している。

【0005】

ディスプレイコントローラ110は、外部のシステムコントローラ200から出力されるI/O (Input/Output) 信号を受け取り、表示データ (表示信号) などの各種信号を表示パネル130に出力する。

【0006】

電源回路120は、各出力端子より表示パネル130内の各絵素部のTFTのソース電極 (絵素電極) にはソース基準電圧を出力し、絵素部のコモン電極にはコモン基準電圧を出力し、TFTのゲート電極にはゲートHigh電圧 (ゲートハイ電圧) およびゲートLow電圧 (ゲートロー電圧) を出力する。

10

20

30

40

50

【0007】

表示パネル130は、複数のゲートラインGLを駆動するゲートドライバ130bと、複数のソースラインSLを駆動するソースドライバ130cと、これらのゲートラインGLおよびソースラインSLの交差部近傍位置にマトリクス状に配置された複数の絵素部がそれぞれ、ゲートラインGLおよびソースラインSLからTFT（薄膜トランジスタ）を介して接続された表示部130aとを有し、ディスプレイコントローラ110から出力される表示データなどの各種信号、および、電源回路120から出力される前述の所定の出力電圧を受け取り、ゲートドライバ130bおよびソースドライバ130cにより表示部130aにて画像表示が行われる。

【0008】

図9は、図8の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【0009】

各絵素部には、図9に示す絵素印加電圧、コモン電圧およびソース電圧が印加される。絵素印加電圧は、ソース電圧とコモン電圧との差によって合成される電圧であり、パルス状の交流電圧となる。表示パネル130のライン毎（Nライン目；Nは自然数）の各絵素部を選択するために、所定の時間間隔でゲート電圧が印加される。

【0010】

また、表示パネル130に供給されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧は、駆動時において一定電圧である。

【0011】

図8の液晶表示装置100では、電源回路120におけるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ（OFF）状態にされた後も、図9の矢印▲1▼に示すように、表示パネル130内の各絵素部を構成する絵素部電極（および共通電極）に電荷が保持されている場合が多く、この電荷を短時間には消去することができない。このため、電源オフ時に、液晶表示装置100の表示部130aに表示されていた画像に残像が残ってしまうおそれがある。

【0012】

このような表示パネル130の表示部130aの表示画面に生じる残像を図10（a）および図10（b）を用いて説明する。図10（a）は、電源回路120のソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ（OFF）状態にされた直後の各電圧の立下りおよび立ち上がり状態のイメージ図、図10（b）は、その時の表示パネル130の表示部130aに表示される画像の残像状態を示している。

【0013】

図10（a）に示すように、表示パネル130に供給されるソース／コモン基準電圧の立下りおよび立ち上がりが緩やかに推移するため、絵素内の電荷が十分に抜けきらず、例えば、図10（b）に示すように残像が生じる。

【0014】

また、液晶表示装置100が携帯電話器などの携帯用機器の表示部に使用される場合には電池駆動であるため低消費電力化が要求される。このため、液晶表示装置100は、低周波での駆動が必要となり、この場合、液晶表示装置100の表示パネル130内の各絵素部の表示信号による画像表示のための電荷の保持力が高くなっているために、前述の画像残りの問題がさらに顕著なものになっている。

【0015】

そこで、このような画像残りの問題を解決するために、例えば図11に示すように、不要な電荷を放電する放電回路が提案されている。

【0016】

図11の放電回路では、電源回路120内の昇圧回路140で生成されたソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧が、各出力電圧として電源回路120から表示パネル130に出力されるが、その出力端子と表示パネル130の入力端子

10

20

30

40

50

間に接続された出力配線に、GND（アース）との間に放電抵抗RおよびコンデンサCが並列に接続されている。昇圧回路140は、外部からの入力電圧に基づいて、所定のソース／コモン基準電圧、ゲートHigh電圧またはゲートLow電圧をそれぞれ生成する。

【0017】

この放電回路（放電抵抗RおよびコンデンサCの並列回路）は、電源回路120がソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態になるときにも、表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に放電するようになっている。これによって、表示画面上の画像残りが解消される。

【0018】

また、特許文献1には、図13に示すように、電源オフ時に表示パネルLCDに印加される電圧波が徐々に低下することによって表示異常が生じることを防ぐために、電源ラインの電圧が降下する以前に表示パネルLCDへの印加電圧を消滅させる回路200を設けた液晶駆動回路が開示されている。この液晶駆動回路は、液晶ドライバDRの電源端子AにダイオードDと電源スイッチSWとを介して直流電源DCが接続され、液晶ドライバDRの電源端子AとアースGNDとの間にコンデンサCが接続されている。電源スイッチSWが開かれて直流電源DCと液晶ドライバDRとの接続が遮断されたときに、液晶ドライバDRの電源端子AはコンデンサCからの放電により電圧降下が遅れるが、これはダイオードDにより阻止されてコンデンサCからの電流が信号端子A'には流れ込まない。このため、信号端子A'の信号電圧が電源端子Aの電圧よりも先に降下する。これにより、液晶ドライバDRの電源端子Aに接続される電源ラインの電圧が降下する以前に、表示パネルLCDへの印加電圧が0Vとなる。

【0019】

また、特許文献2には、電源スイッチをオフまたはオンするときに、画面に現れる線状の表示欠陥を抑えるために、動作電源電圧の出力を停止した後、走査パルス電圧が液晶層の実行的な表示しきい値電圧以下に立ち下がるまで、走査電極駆動回路を動作させて走査パルスの走査を継続する走査継続回路を備えた液晶表示装置が開示されている。このように、動作電圧電源を停止した後も走査パルスを走査し続けることにより、より低下した直流電圧成分が残存し、線状の表示が現れる現象を防ぐことができる。

【0020】

【特許文献1】

特開昭61-162029号公報

【0021】

【特許文献2】

特開平6-160806号公報

【0022】

【発明が解決しようとする課題】

上記図11に示す従来の構成では、表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に、充分速く放電させるように放電抵抗Rの抵抗値を低く設定して電源の立ち下がり急峻に行おうとすると、この放電抵抗Rには駆動時に例えば0.1mA程度の電流が常時流れて、液晶表示装置100全体の消費電力が1.0mW程度増加することになり、低消費電力化が阻害される。このように、電源の立ち下がり急峻に行って表示画面上の画像残りを解消しようとする、消費電力が増加を招いてしまうという問題を有していた。また、消費電力の観点から放電抵抗Rの抵抗値を比較的高くすると、図12の矢印▲2▼に示すように、電源の立下りや立ち上がりが緩やかであるため、絵素内の電荷が充分に抜け切らず、電荷残りの問題が発生しやすい。

【0023】

また、各絵素部の放電条件によっては、ラッチアップなどによって、表示パネル130に設けられている液晶駆動用ドライバICを破壊してしまう可能性もある。このラッチアップなどに対する対策として、液晶駆動用ドライバICの出力段にダイオードを挿入する方法もあるが、これだけでは不十分であった。つまり、主電源を立ち下げるときに電圧が不

10

20

30

40

50

安定になってしまい、ディスプレイの駆動ドライバを破壊してしまうという問題を有していた。

【0024】

さらに、図11に示す放電回路により表示パネル130内の各絵素部に残留する不要な電荷をGND（アース）に放電させるだけでは、出力配線からの放電時にクロストークによる影響が各絵素部に現れてしまう。このクロストークの問題に対して、主電源のオフ状態（降下）を感知して、絵素部のTFTのゲート電極にHigh電圧を印加することによって、絵素電極側に残留する不要な電荷をGND（アース）に放電させていたが、図12の矢印▲3▼に示すように、この絵素電極側からの放電が電源オフ直前の表示の最終状態（表示イメージ）に依存することと、図12の矢印▲4▼に示すように電源オフによってHigh電圧期間が不定なため、絵素部からの放電期間（電荷抜き期間）を調整することができない。このため、図9の矢印▲1▼で示した部分と同様に、電荷残りが発生し易いという問題がある。

10

【0025】

即ち、図11の表示パネル130に印加される各信号電圧のタイミングチャート（図12）に示す通り、絵素部の残留電荷の放電時において、絵素印加電圧のプラス（+）側およびマイナス（-）側の立下りおよび立上がり、電源オフ直前の画像表示の最終状態に依存するとともに、TFTのゲート電極にHigh電圧を印加する期間が一定でない（High期間不定）ために、絵素部の残留電荷の放電期間を調整できず、画像残りが完全に解消できていない。つまり、表示画面において絵素電荷が均一に抜けていかず、画像残りが起こるという問題と、各絵素部と電源回路120の間には寄生容量が存在するので、電圧が素早く立ち下がることで表示に悪影響（クロストーク）が出てしまうという問題とを有していた。

20

【0026】

さらに、現行の携帯電話器などの小型携帯端末に使用する小型液晶ディスプレイ（小型液晶モジュール）では、出力オフ（通話待機中）時の待ち受け状態でも、主電源はオン状態であるため、ソースバスラインにアナログ電圧が印加されてしまうおそれがあり、液晶ディスプレイの信頼性が低下するという問題があった。

【0027】

また、上記特許文献1、2では電源オフ時に生じる表示異常を防ぐものの、上記で説明した各問題を解決するものではない。即ち、図14に示すように、絵素部印加電圧において放電が電源オフ直前の表示イメージに依存しており、電荷抜き期間（High期間）が不定でかつラッチアップの危険と共に電源立下りが緩やかなため、絵素部の電荷残りが発生しやすく、電源オフ後に残像が表示される。

30

【0028】

本発明は、上記従来の問題を解決するもので、駆動時の低消費電力化を実現し、電源オフ後の残像およびラッチアップを防止するとともにディスプレイの信頼性向上を図ることができる表示用電源装置およびそれを用いた画像表示装置を提供することを目的とする。

【0029】

【課題を解決するための手段】

本発明の表示用電源装置は、一または複数の所定の出力電圧を出力または出力停止制御可能とする電圧生成手段と、該所定の出力電圧の出力端と所定の基準電位端間に設けられたスイッチ手段からなり、該電圧生成手段の停止制御時にオフからオンに制御するものであり、そのことにより上記目的が達成される。また、本発明の表示用電源装置は、所定の出力電圧を生成する電圧生成手段を有する表示用電源装置において、出力電圧を出力する出力端とアース接続端との間に少なくとも能動素子が設けられ、入力制御信号に基づいて、能動素子がオン制御されると共に電圧生成手段による出力を停止制御するものであり、そのことにより上記目的が達成される。

40

【0030】

また、好ましくは、本発明の表示用電源装置において、入力制御信号に基づいて、前記電

50

圧生成手段の出力または出力停止制御が為され、前記スイッチ手段のオンオフ制御が為される。また、好ましくは、本発明の表示用電源装置におけるスイッチ手段と基準電位端または／および前記出力端との間に抵抗素子が設けられている。

【0031】

本発明の画像表示装置は、請求項1～3の何れかに記載の表示用電源装置と、表示信号を出力する表示コントローラと、該表示信号および前記出力電圧によって画像表示を行う表示部とを有するものであり、そのことにより上記目的が達成される。また、好ましくは、本発明の画像表示装置における表示部は、複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置されて構成されている。

10

【0032】

また、好ましくは、本発明の画像表示装置における表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に前記入力制御信号を前記表示用電源装置に出力して該表示用電源装置からの電源供給を停止させる。

【0033】

本発明の画像表示装置は、表示信号を出力する表示コントローラと、該表示信号によって画像表示を行う複数の絵素部がそれぞれゲートラインおよびソースラインからトランジスタを介して接続され、該複数の絵素部がそれぞれ該ゲートラインおよびソースラインの交差部近傍位置にマトリクス状に配置された表示部とを有し、該表示コントローラは、所定の電源オフ準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に該表示部に対して電源供給を停止制御するものであり、そのことにより上記目的が達成される。

20

【0034】

また、好ましくは、本発明の画像表示装置におけるマスク書き込み時に、各絵素部に印加される所定の絵素印加電圧は、ノーマリー状態の電圧である。また、好ましくは、本発明の画像表示装置におけるマスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする。さらに、好ましくは、本発明の画像表示装置において、マスク書き込み後で前記電源供給の停止前に、前記ソース電極およびコモン電極がアース電位に接地されると共に、前記ゲートライン上の一部または全てのゲート電極にハイレベル電圧が一定期間印加される。

30

【0035】

また、好ましくは、本発明の画像表示装置における所定の出力電圧は、ゲートロー電圧と、ゲートハイ電圧と、ソース／コモン基準電圧と、該ゲートロー電圧およびゲートハイ電圧と、該ソース／コモン基準電圧およびゲートロー電圧およびゲートハイ電圧のうち何れかである。

【0036】

また、好ましくは、本発明の画像表示装置における所定の基準電位端はアース接続端であり、前記所定の出力電圧が、アース電圧よりも低いゲートロー電圧および、アース電圧よりも高いゲートハイ電圧を含む場合に、該ゲートロー電圧の出力端に接続された第1スイッチ手段と、該ゲートハイ電圧の出力端に接続された第2スイッチ手段とは、該第1および第2スイッチ手段のオン時に、該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される。また、好ましくは、本発明の画像表示装置における記第1および第2スイッチ手段は能動素子であり、該能動素子の素子特性により該ゲートロー電圧の立ち上がりが該ゲートハイ電圧の立ち下がりに比べて緩やかになるように制御される。さらに、好ましくは、本発明の画像表示装置における第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に抵抗素子が設けられている。さらに、好ましくは、本発明の画像表示装置における第1スイッチ手段と前記アース接続端または／および前記ゲートロー電圧の出力端との間に設けられた第1抵抗素子と、前記第2スイッチ手段と前記アース接続端または／および前記ゲートハイ電

40

50

圧の出力端との間に設けられた第2抵抗素子とをさらに有し、第1抵抗素子の抵抗値が第2抵抗素子の抵抗値よりも大きい。

【0037】

上記構成により、以下、その作用を説明する。

【0038】

本発明の表示用電源装置は、電源駆動時に、スイッチ手段としての能動素子がオフ状態であるため、基準電位端としてのアース接続端に対して定常的にリーク電流が流れないので、低消費電力化が実現される。

【0039】

また、電源オフ時には、能動素子がオン状態にて放電回路を構成するので、低消費電力を保ちながら、電源電圧を急峻に立下げることができ、絵素部に残った電荷を放電して残像発生を防ぐことができる。しかも、このとき、能動素子もしくは能動素子と直列に接続された放電抵抗は、電流抑制手段としても働くので、ラッチアップも防止され得る。

【0040】

さらに、電源オフ時には、電源出力端が接地されているので、従来のようなソースバスラインにアナログ電圧が印加されるおそれがなく、ディスプレイの信頼性向上が図れる。

【0041】

また、マスク書き込みを行う場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りをより容易に解消することが可能となる。また、マスク書き込み後にゲート電圧のハイ期間制御を行えば、絵素部に残存する電荷をより十分に放電できて画像残りを解消することが可能となる。

【0042】

【発明の実施の形態】

以下、本発明の表示用電源装置を液晶表示装置に適用した場合についてその実施形態1、2および、実施形態3を図面を参照しながら説明する。

（実施形態1）

図1は、本発明の液晶表示装置の実施形態1における要部構成を示すブロック図である。

【0043】

図1において、液晶表示装置10は、表示コントローラとしてのディスプレイコントローラ11と、表示用電源装置としての電源回路12と、表示部13aを持つ表示パネル13とを有している。

【0044】

ディスプレイコントローラ11は、外部のシステムコントローラ20から出力されるI/O（Input/Output）信号、電源オフ（OFF）準備信号などを受け取り、表示データなどの各種信号を表示パネル13に出力すると共に、入力制御信号としての電源オフ（OFF）予告信号を電源回路12に出力する。

【0045】

電源回路12は、ディスプレイコントローラ11から電源オフ（OFF）予告信号などを受け取り、その電源OFF予告信号に基づいてオン状態からオフ状態になるFET-SW（FETトランジスタからなるスイッチ手段）14aと、それに直列に接続された抵抗14bとからなる放電回路14を有している。なお、ここでは抵抗14bがFET-SW14aと基準電位接続端としてのアース接続端間に設けられているが、抵抗14bはFET-SW14aと電源回路の電圧出力端間に設けられていてもよい、両方に設けられていてもよい。

【0046】

FET-SW14aおよび抵抗14bは、電源回路12の各出力端子とGND（アース端）との間に接続されている。電源回路12は、その各出力端子より表示パネル13内の各絵素部のTFTおよびコモン電極に対して、それぞれソース基準電圧およびコモン基準電圧（ソース、コモン基準電圧）を出力すると共に、ゲートラインGL毎の各TFTのゲー

ト電極に対して、ゲートH i g h電圧（ゲートハイ電圧）、ゲートL o w電圧（ゲートロー電圧）を出力する。

【0047】

表示パネル13は、複数のゲートラインGLを駆動するゲートドライバ13bと、複数のソースラインSLを駆動するソースドライバ13cと、複数のゲートラインGLとソースラインSLとの交差部（直交部）近傍位置にマトリクス状に配置された複数の絵素部がそれぞれ、ゲートラインGLおよびソースラインSLからTFT（薄膜トランジスタ）を介して接続された表示部13aとを有し、ディスプレイコントローラ11から出力される表示データなどの各種表示用信号および、電源回路12から出力される前述の所定の出力電圧（ソース／コモン基準電圧、ゲートH i g h電圧およびゲートL o w電圧）を受け取り、ゲートドライバ13bおよびソースドライバ13cにより表示部13aにて画像表示が行われる。

10

【0048】

図2は、図1のFET-SW14aの動作状態を示す図である。

【0049】

図2に示すように、FET-SW14aは、ディスプレイコントローラ11からアクティブ状態（H i g hレベル）の電源OFF予告信号が入力されるとオン状態になり、電源OFF予告信号がL o wレベルになるとオフ状態となる。したがって、FET-SW14aは、電源OFF予告信号に基づいてオン／オフ動作を行い、液晶表示装置10の駆動時にオフ状態となり、液晶表示装置10の停止時にオン状態となる。

20

【0050】

図3は、図1の電源回路12の要部構成を示す回路図である。

【0051】

図3に示すように、電源回路12は、FET-SW14aと抵抗14bからなる放電回路14（FET-SW14aのみで構成されていてもよいが、ここでは抵抗14bを含むものとする）と、電圧生成手段としての昇圧回路15（または降圧回路、ここでは昇圧回路で説明する）とを有している。なお、電源回路12からの出力配線とGND（アース端）間には、FET-SW14aと抵抗14bからなる回路14と並列に、コンデンサCも接続されている。

【0052】

FET-SW14aと抵抗14bからなる放電回路14は、例えばドレイン端子およびソース端子がそれぞれ昇圧回路15の出力端子とGND（アース端）との間に接続されている。FET-SW14aのゲート端子には、入力制御信号としての電源OFF予告信号が入力されるようになっている。したがって、FET-SW14aがオン状態またはオフ状態の場合、昇圧回路15はその反対にオフ状態またはオン状態になっている。なお、抵抗14bの抵抗値の調整により放電スピードを調整可能である。

30

【0053】

昇圧回路15は、外部からの入力電圧に基づいて、電源回路12の各出力端子にそれぞれ出力されるソース／コモン基準電圧、ゲートH i g h電圧およびゲートL o w電圧などの所定の電圧を生成する。昇圧回路15は、アクティブ状態（H i g hレベル）の電源OFF予告信号が入力されるとオフ状態となり、電源OFF予告信号がL o wレベルになるとオン状態になる。

40

【0054】

以上により、本発明の表示用電源装置としての電源回路12によって、液晶表示装置10内の表示パネル13に対する各出力電圧がオフ状態にされた後に、表示パネル13内の各絵素部のそれぞれの絵素部電極および共通電極に保持されている電荷を、FET-SW14aを用いることで、図6に矢印▲5▼で示すように、短時間に絵素印加電圧を放電させることができ、電源オフ時の画像残りを解消することができる。残留電荷の放電時間は、FET-SW14aのソース端子とGND（アース）との間に設けられた抵抗14bの抵抗値によって任意の時間に調整することができるため、絵素部に残存する電荷を充分放電

50

させて電源オフ時の画像残りを解消することができる。

【0055】

この画像残りが解消する状態を図4(a)および図4(b)を用いて説明する。図4(a)は、電源回路12のソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態にされた直後の各電圧の立下りおよび立上り状態のイメージ、図4(b)は、その時の表示パネル13に表示される画像の残像を示している。

【0056】

図4(a)に示すように、表示パネル13内に供給されるソース／コモン基準電圧は立ち下がり急峻に推移し、速やかに残留電荷が放電または充電されるため、図4(b)に示すように画像残りが全く生じない。

【0057】

ここで、ゲートHigh電圧およびゲートLow電圧の立下りまたは立ち上がりは、FET-SW14aを用いることによって、図6に矢印▲6▼で示すように、ゲートLow電圧の立上りを、ゲートHigh電圧の立下りに比べて少し緩やかになるように設定している。なお、これを実現するために、FET-SW14aのFET(電界効果トランジスタ)自体の電流特性(能動素子の素子特性)を利用してもよいし、そのゲートに入力される電圧値(電源OFF予告信号)を変化させてFET自体が抵抗を持つようにしてもよいし、大小の抵抗を二つ設けて二つのFETによりそれぞれを選択するように構成してもよい。ここでは、FET-SW14aの各FET自体の電流特性により急激に多量の電流が流れにくいようになっている。

【0058】

このようにすれば、ゲートHigh電圧またはゲートLow電圧の立下りまたは立ち上りを、FET-SW14aを用いて上記のように区別して設定することによって、液晶駆動ドライバICがラッチアップなどの異常状態になることを防止できて、液晶駆動ドライバICが保護される。

【0059】

図5(a)および図5(b)はそれぞれゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図であり、図5(a)は本発明のFET-SW14aと抵抗14bを用いた場合(シーケンス有り)の図であり、図5(b)は、FET-SW14aを単純に駆動した場合(シーケンス無し)の図である。

【0060】

図5(b)に示すように、スイッチのFET-SW14aを単純に駆動しただけの場合(シーケンス無し)には、ゲートLow電圧の立上りを、ゲートHigh電圧の立下りに比べて少し緩やかになるように設定できないために、液晶駆動ドライバICに、ラッチアップなどによる異常状態が生じていた。

【0061】

また、本発明の電源回路12は、液晶表示装置10が駆動時には、FET-SW14aがオフ状態となっており、抵抗Rを介して流れる定常的なリーク電流を防止できるので低消費電力化を実現しながら、電源オフ時の残存電荷を充分放電して画像残りを解消することができる。

【0062】

図6は、図1の表示パネル13に印加される各信号電圧のタイミングチャートである。

【0063】

各絵素部には、図6に示す絵素印加電圧、コモン電圧およびソース電圧が印加される。絵素部印加電圧は、ソース電圧とコモン電圧との差によって合成される電圧であり、パルス状の交流電圧となる。表示パネル13のライン毎の各絵素部を選択するために、所定の時間間隔にてゲート電圧が印加される。

【0064】

電源回路12から表示パネル13に入力されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧は、図6に示すように駆動時において一定電圧である。

【0065】

以上により、液晶表示装置10は、図4に示すように、電源回路12がソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧をオフ状態にする電源OFF予告信号を受けると、FET-SW14aをオン状態にし、表示パネル13内の各絵素部のそれぞれの絵素部電極および共通電極に保持されている電荷を速やかにアース側に放電させることにより、オフ状態の表示パネル13に画像の残像を残さない。

(実施形態2)

本実施形態2では、システムコントローラ20から出力される電源OFF準備信号に基づいて、表示パネル13内の各絵素部に絵素印加電圧として0(V)または任意の一定電圧を印加する場合(マスク書き込み)である。

【0066】

図7は、本発明の液晶表示装置の実施形態2において、表示パネル13内の各絵素部に絵素印加電圧として0(V)または任意の一定電圧を印加する場合(マスク書き込み)に、その表示パネルに印加される各信号電圧のタイミングチャートである。なお、図15に本発明の液晶表示装置10Aの実施形態2における要部構成を示すブロック図を示し、図1と同様の作用効果を奏する部材には同一の符号を付している。

【0067】

まず、図7に示すように、システムコントローラ20Aからディスプレイコントローラ11Aに出力される電源OFF準備信号に基づいて、表示パネル13内の各絵素部に絵素印加電圧として0(V)または任意の一定電圧が印加(マスク書き込み)され、絵素印加電圧はノーマリー状態(ノーマリーホワイトまたはノーマリーブラック)の一定電圧となる。この場合、各絵素部が保持する電荷は、ほぼ均一化され、マスク書き込みを行う時間は、例えば、1水平期間以上であれば良い。マスク書き込み時間が1水平期間未満であれば、各絵素部の液晶が応答しないおそれがある。

【0068】

また、マスク書き込みは、画面全体に行う必要があるため、通常駆動では1垂直期間以上の時間がかかるが、ゲート電極を全てHigh(ゲートラインを全て選択状態)にした場合には、全てのラインに一度にマスク書き込みを行うことができるため、少なくとも1水平期間であれば、充分書き込みを行うことができる。

【0069】

このようにマスク書き込み期間を設けることにより、図7に矢印▲7▼で示すように、表示パネル13における電源オフ後の絵素部の残留電荷の放電時において、絵素印加電圧のプラス(+)側およびマイナス(-)側の立下りおよび立ち上がり、電源オフ直前の画像表示の最終状態に依存しないことになる。

【0070】

次に、表示パネル13内の全て(または一部)のゲートラインのゲート電極にゲートHigh電圧を印加し、その間にコモン電極およびソース電極を接地する。これにより、表示パネル13の各絵素部の絵素電極およびコモン電極に保持されていた電荷が放電される。

【0071】

残留電荷の放電時間は、図7に矢印▲8▼で示すように、マスク書き込み後にゲート電極にハイレベル電圧を印加する期間を制御(デジタル制御)することによって任意の時間に調整することができるため、絵素部に残存する電荷を充分放電して画像残りを解消することができる。

【0072】

さらに、ディスプレイコントローラ11から出力される電源OFF予告信号に基づいて、電源回路12内の昇圧回路15がオフ状態となり、ソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧をオフ状態にし、FET-SW14aがオン状態になる。これによって、電源回路12のFET-SW14aを用いた放電プロセスが開始され、各ゲートラインの出力電圧(ゲートHigh電圧)は、GND(アース)電位に降下する。したがって、携帯電話器などにおける出力オフ(通話待機中)時の待ち受け状態におい

10

20

30

40

50

て、主電源がオン状態である場合でも、従来のようにソースバスラインにアナログ電圧が印加されるおそれがなく、液晶ディスプレイの信頼性の向上が図られる。

【0073】

以上のように、図7に示した電源OFF準備信号および電源OFF予告信号に基づく、表示パネル13の各絵素部における残留電荷の放電の方が電源OFF予告信号のみに基づく場合よりもさらに効果がある。

【0074】

また、図17にも示すようにゲート電源の放電および充電にシーケンスを持たせていれば、ラッチアップの危険がない。なお、シーケンスはゲートロー電源をゲートハイ電源より遅くGND電位（アース電位）まで持ってくるようにすることが最適である。また、超低消費電力を保ちながら、電源を急峻に立下げることができ、電荷残りを解消できる。

（実施形態3）

本実施形態3では、上記実施形態2のようにマスク書き込みおよびゲート電圧のHigh期間制御により絵素部に残存する電荷を充分放電して画像残りを解消する場合であって、上記実施形態1、2のFET-SW14aの代わりに抵抗素子（従来例の抵抗素子）を用いる場合である。なお、図16に本発明の液晶表示装置10Bの実施形態3における要部構成を示すブロック図を示し、図1と同様の作用効果を奏する部材には同一の符号を付している。

【0075】

表示コントローラとしてのディスプレイコントローラ11Bは、システムコントローラ20Bからの所定の電源オフ（OFF）準備信号に基づいて、各絵素部に対して0（V）または所定の電圧値である絵素印加電圧を1水平期間以上印加してマスク書き込みを行った後に、オフ（OFF）予告信号に基づいて、電源表示部13aに対する電源回路12Bからの電源供給を停止制御する。この場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定電圧である。また、上記実施形態2と同様に、マスク書き込み時に、各絵素部の絵素電極であるソース電極および対向電極であるコモン電極のそれぞれの印加電圧を同一にする。また、上記実施形態2と同様に、マスク書き込み後で電源供給の停止制御前に、ソース電極およびコモン電極が接地されると共に、全ゲートラインGL上のゲート電極にハイレベル電圧が一定期間（High期間）印加されるようになっている。

【0076】

以上により、上記実施形態2、3では、図17（上記実施形態2ではシーケンスあり、上記実施形態3ではシーケンスなし）に示すように、電荷抜き期間（High期間）をデジタル制御して任意の時間に設定できるので、絵素部の電荷残りを解消できる。この場合、マスク書き込み期間を設けているので、直前の表示イメージに依存せず、画面全体で均等に電荷の放電が行える。なお、マスクはノーマリーホワイトモードのときは白表示以下の液晶印加電圧、ノーマリーブラックモードのときは黒表示以下の液晶印加電圧で書き込むのが最適である。

【0077】

この場合、上記実施形態1、2のFET-SW14aの代わりに抵抗素子（従来例の抵抗素子）を用いるので、上記実施形態1、2のように超低消費電力を保ちながら、電源を急峻に立下げおよび立上げることができなくても、マスク書き込み後にゲート電圧のHigh期間制御により絵素部に残存する電荷を充分放電して画像残りを解消することができるものである。このときに用いる放電または充電用の抵抗素子の抵抗値は従来例で示した抵抗素子の抵抗値と同等以上にすれば、従来例に比べて低電力化を阻害しない。

【0078】

なお、マスク書き込み後に電源オフする場合にも、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りが容易に解消され得る。

【0079】

【発明の効果】

以上により、本発明によれば、少なくともスイッチ手段の能動素子が電圧出力端子とアース端との間に接続され、能動素子がオン状態、電圧出力がオフ状態になるような動作を行うことにより、電源オフ後の残像およびラッチアップの防止を図るとともに、駆動時の低消費電力化が実現できる。

【0080】

また、マスク書き込みを行う場合、マスク書き込み時に、各絵素部に印加される所定の絵素印加電圧はノーマリー状態（ノーマリーホワイトまたはノーマリーブラック）の一定の低電圧であれば、画像残りをより容易に解消することができる。また、マスク書き込み後にゲート電圧のハイ期間制御を行えば、絵素部に残存する電荷をより充分に放電できて画像残りを解消することができる。

【図面の簡単な説明】

【図1】 本発明の液晶表示装置の実施形態1における要部構成を示すブロック図である。

【図2】 図1のFET-SWの動作状態を示す図である。

【図3】 図1の電源回路の要部構成を示す回路図である。

【図4】 (a)は、図1の表示パネルに供給されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧がオフ状態にされた直後の各電圧の立下り状態のイメージ図、(b)は、その時の表示パネルに表示される画像の残像を示す図である。

【図5】 (a)は、図1のFET-SWと抵抗を用いた場合の表示パネルに供給されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図、(b)は、FET-SWを単純に駆動した場合の表示パネルに供給されるソース／コモン基準電圧、ゲートHigh電圧およびゲートLow電圧の立下りおよび立ち上がり状態を示す図である。

【図6】 図1の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【図7】 本発明の液晶表示装置の実施形態2において、表示パネル内の各絵素部に絵素部印加電圧として0(V)または任意の一定電圧を印加する場合（マスク書き込み）に、その表示パネルに印加される各信号電圧のタイミングチャートである。

【図8】 従来の液晶表示装置の要部構成を示すブロック図である。

【図9】 図8の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【図10】 (a)は、従来の液晶表示装置の表示パネルの各絵素部の絵素部印加電圧の立下り状態の拡大図、(b)は、その時の表示パネルに表示される画像の残像を示す図である。

【図11】 従来の液晶表示装置の要部構成の別の一例を示すブロック図である。

【図12】 図11の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートである。

【図13】 特許文献1の要部構成を示す回路図である。

【図14】 特許文献1, 2の表示パネルに印加される各信号電圧を想定した場合のタイミングチャートである。

【図15】 本発明の液晶表示装置の実施形態2における要部構成を示すブロック図である。

【図16】 本発明の液晶表示装置の実施形態3における要部構成を示すブロック図である。

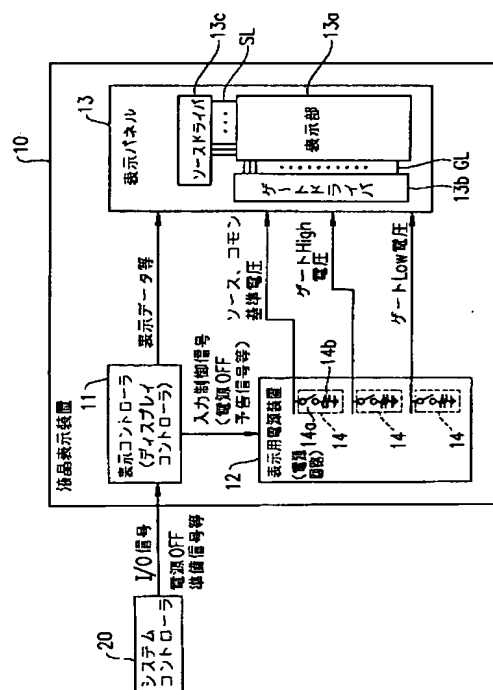
【図17】 図15の液晶表示装置の表示パネルに印加される各信号電圧のタイミングチャートの一例を用いて、図16の液晶表示装置の実施形態3の効果を説明するためのタイミングチャートである。

【符号の説明】

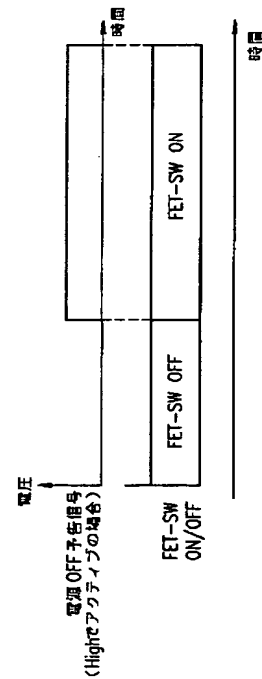
10, 10A, 10B 液晶表示装置
11, 11A, 11B ディスプレイコントローラ（表示コントローラ）

- 1 2, 1 2 B 電源回路 (表示用電源装置)
 1 3 表示パネル
 1 3 a 表示部
 1 4 放電回路
 1 4 a FET-SW (スイッチ手段)
 1 4 b, 1 4 B 抵抗
 1 5 昇圧回路 (電圧生成手段)

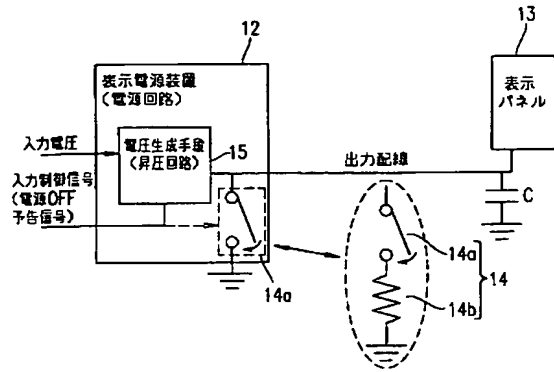
【図 1】



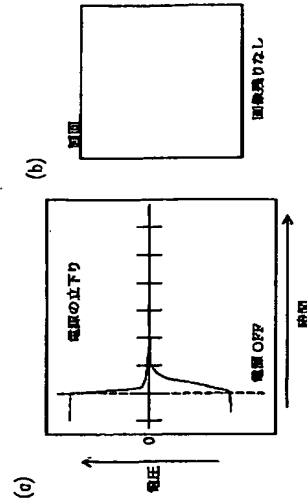
【図 2】



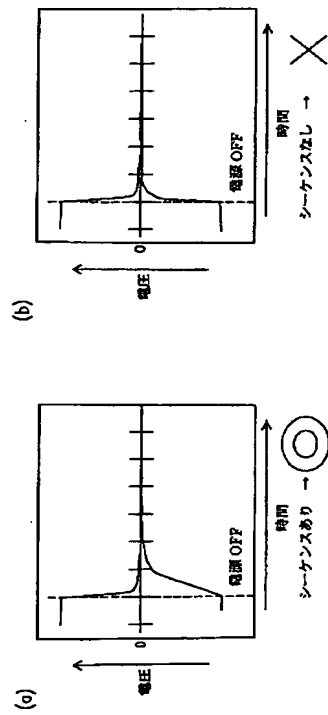
【図 3】



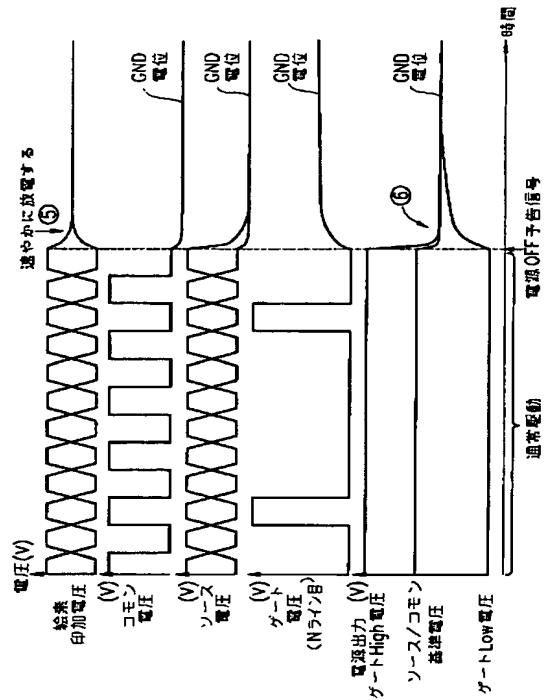
【図 4】



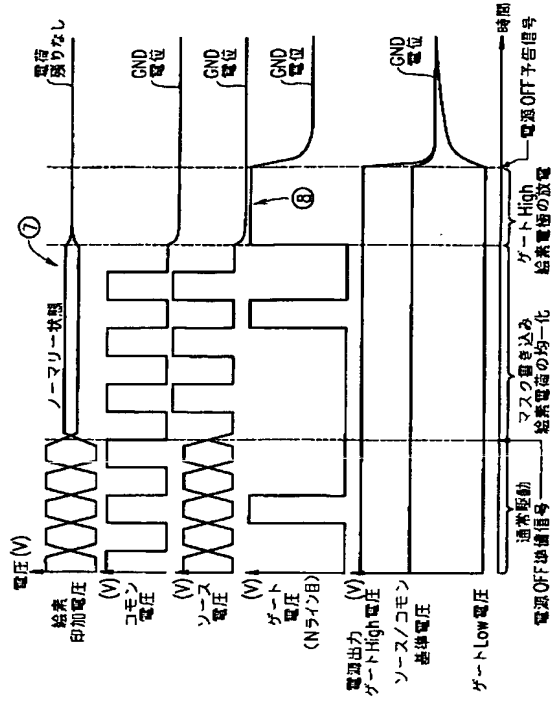
【図 5】



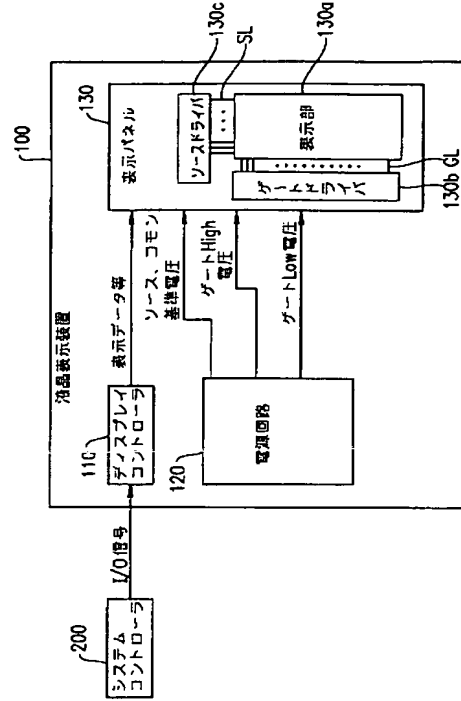
【図 6】



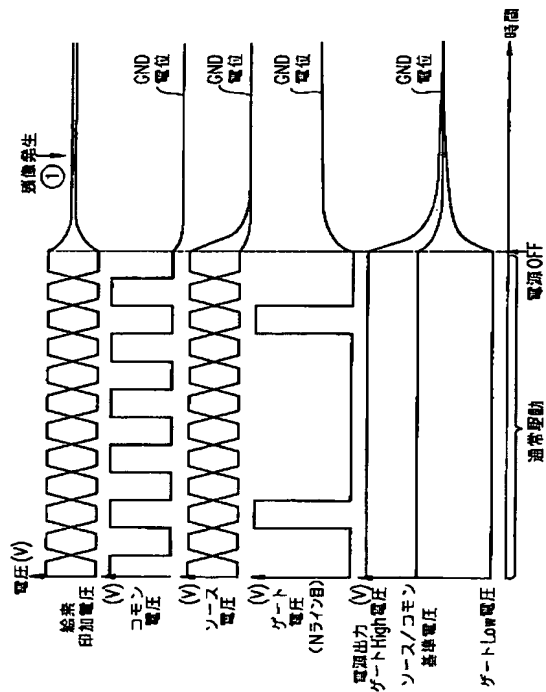
【図 7】



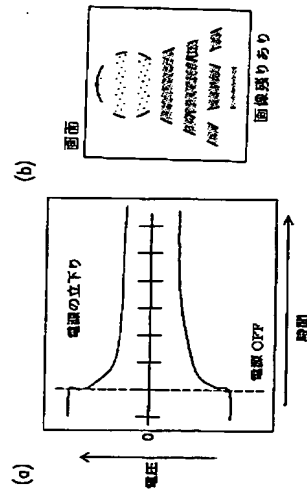
【図 8】



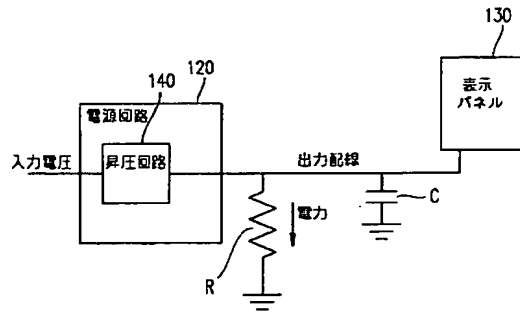
【図 9】



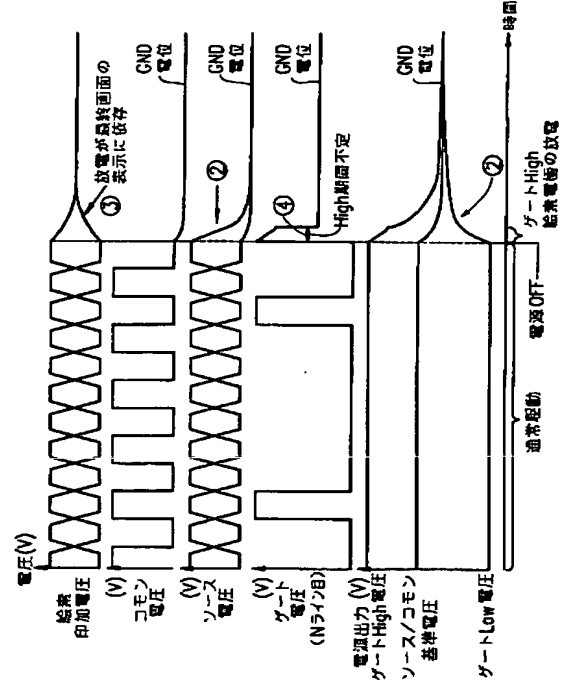
【図 10】



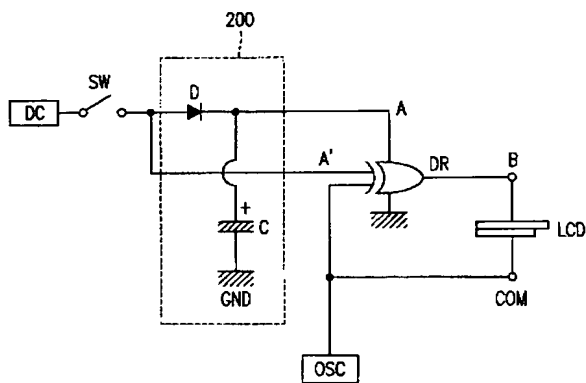
【図 1 1】



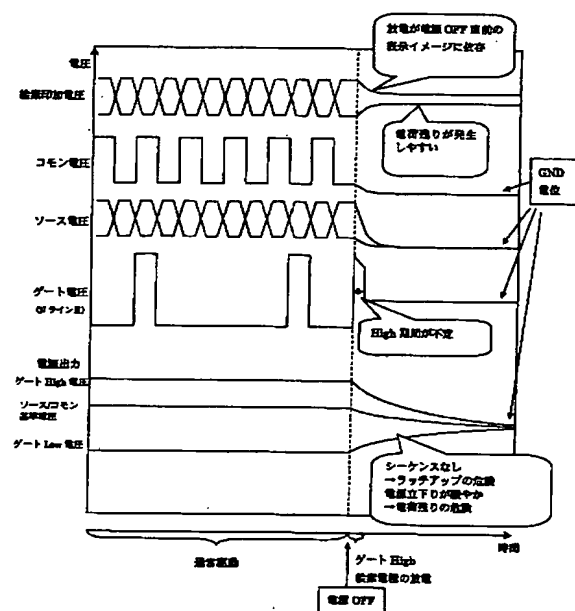
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(51) Int. Cl. ⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 D

G 0 9 G 3/20 6 7 0 K

G 0 9 G 5/00 5 5 0 A

F ターム (参考) 2H093 NC01 NC02 NC34 ND12 ND15 ND31 ND39
5C006 AF51 AF53 AF61 AF67 AF68 AF69 AF71 BB16 BF43 FA22
FA34 FA47
5C080 AA10 BB05 DD05 DD26 DD29 FF03 FF11 JJ02 JJ03 JJ04
JJ05
5C082 AA01 BD02 CA76 CA81 CA85 CB01 CB10 DA81 MM03 MM10